

DOI: 10.17725/rensit.2021.13.449

## Моделирование характеристик низковольтных вентилях на совмещённых цилиндрических полевых нанотранзисторах с полностью охватывающим затвором

Масальский Н.В.

Научно-исследовательский институт системных исследований РАН, <http://www.niisi.ru/>  
Москва 117218, Российская Федерация

E-mail: [volkov@niisi.ras.ru](mailto:volkov@niisi.ras.ru)

Поступила 12.08.2021, рецензирована 22.08.2021, принята 31.08.2021

Представлена действительным членом РАЕН В.В. Колесовым

**Аннотация:** Обсуждается применимость архитектуры наноразмерного полевого транзистора с совмещённой цилиндрической рабочей областью, которая полностью окружена затвором, для низковольтных применений. При этом в качестве инструментального средства используется лицензионная система приборно-технологического моделирования TCAD Sentaurus. Рассматриваемая транзисторная архитектура предполагает объединение рабочих зон n-канальных и p-канальных транзисторов с одним общим затвором. При этом сохраняется эффективность подавления коротко-канальных эффектов и обеспечивается высокий уровень тока транзистора в режиме сильной инверсии. Разработана TCAD модель вентиля И-НЕ, конструкция которого содержит два независимых затвора, охватывающие одну объединённую рабочую область. Использование предложенной вентиляльной архитектуры позволяет в три раза снизить число требуемых транзисторных структур на один вентиль. Это приводит к уменьшению переключаемой емкости, что повышает быстродействие, а также к резкому сокращению занимаемой площади, что обуславливает снижение рассеиваемой мощности. Из результатов моделирования следует, что оптимизированный прототип вентиля может функционировать при управляющих напряжениях 0.5 В и ниже в диапазоне частот до 20 ГГц с высоким коэффициентом усиления. Разработана TCAD модель полусумматора в базисе вентилях И-НЕ. По результатам моделирования показана работоспособность прототипа, который выполняет операции сложения двоичных кодов с задержкой 4.2 пс при напряжении питания 0.5 В и частоте 20 ГГц. Полученные результаты создают теоретические основы для синтеза низковольтных сложно функциональных блоков с высокой производительностью и минимальной занимаемой площадью, что отвечает современным требованиям для цифровых применений.

**Ключевые слова:** наноразмерный МОП-транзистор, кремний на изоляторе, охватывающий затвор, коротко-канальные эффекты, логический вентиль, низкое напряжение питания

УДК 621.382.323

**Благодарности:** Работа выполнена в рамках государственного задания ФГУ ФНЦ НИИСИ РАН “Проведение фундаментальных научных исследований (47 ГП)” по теме № FNEF-2021-0001 “Математическое обеспечение и инструментальные средства для моделирования, проектирования и разработки элементов сложных технических систем, программных комплексов и телекоммуникационных сетей в различных проблемно-ориентированных областях. 0580-2021-0001”, рег. № 121031300047-6.

**Для цитирования:** Масальский Н.В. Моделирование характеристик низковольтных вентилях на совмещённых цилиндрических полевых нанотранзисторах с полностью охватывающим затвором. РЭНСИТ: Радиоэлектроника. Наносистемы. Информационные технологии, 2021, 13(4):449-456. DOI: 10.17725/rensit.2021.13.449.

# Simulation of the characteristics of low-voltage gates on combined cylindrical surrounding gate field-effect nanotransistors

Nikolae V. Masalsky

Research Institute of System Researches of RAS, <http://www.niisi.ru/>

Moscow 117218, Russian Federation

E-mail: [volkov@niisi.ras.ru](mailto:volkov@niisi.ras.ru)

Received August 12, 2021, peer-reviewed August 22, 2021, accepted August 31, 2021

**Abstract:** The applicability of the architecture of a nanoscale surrounding gate field-effect transistor with a combined cylindrical working area for low-voltage applications is discussed. At the same time, the licensed TCAD Sentaurus instrument and technological modeling system is used as a tool. The transistor architecture under consideration involves combining the working zones of n-channel and p-channel transistors with one common gate. At the same time, the efficiency of suppressing short-channel effects is maintained and a high level of transistor current is provided in the strong inversion mode. Based on this architecture, a TCAD model of the NAND gate has been developed, the design of which contains two independent surrounding gates one combined working area. The use of the proposed gate architecture makes it possible to reduce the number of required transistor structures per gate by three times. This leads to a decrease in the switched capacity and power dissipation. From the simulation results, the gate geometric parameters with a working area length of 25 nm and a diameter of 8.5 nm, which can function at control voltages of 0.5 V in the frequency range up to 20 GHz with high gain, are determined. The switching time delay is 0.81 ps. The TCAD model of a half-adder is developed in the basis 2NAND. According to the simulation results, the efficiency of the prototype, which performs binary code addition operations with a delay of 4.2 ps at a supply voltage of 0.5 V and a frequency of 20 GHz, is shown. The obtained results create a theoretical basis for the synthesis of low-voltage complex functional blocks with high performance and minimal occupied area, which meets modern requirements for digital applications.

**Keywords:** nanoscale MOSFET, silicon on insulator, surrounding gate, short-channel effects, logic gate, low supply voltage

UDC 621.382.323

**Acknowledgments:** The work was carried out within the framework of the state assignment of FGU FSC NIISI RAS "Conducting fundamental scientific research (47 GP)" on topic No. FNEF-2021-0001 "Software and tools for modeling, design and development of elements of complex technical systems, software telecommunication networks in various problem-oriented areas. 0580-2021-0001", reg. No. 121031300047-6.

**For citation:** Nikolae V. Masalsky. Simulation of the characteristics of low-voltage gates on combined cylindrical surrounding gate field-effect nanotransistors. *RENSIT: Radioelectronics. Nanosystems. Information technologies*, 2021, 13(4):449-456. DOI: 10.17725/rensit.2021.13.449.

## СОДЕРЖАНИЕ

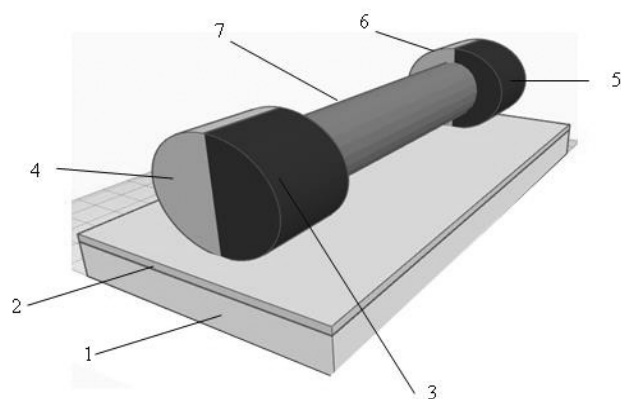
1. ВВЕДЕНИЕ (450)
  2. РЕЗУЛЬТАТЫ МОДЕЛИРОВАНИЯ ВЕНТИЛЯ 2И-НЕ (452)
  3. МОДЕЛИРОВАНИЕ ХАРАКТЕРИСТИК ПОЛУСУММАТОРА (453)
  4. ЗАКЛЮЧЕНИЕ (455)
- ЛИТЕРАТУРА (455)

## 1. ВВЕДЕНИЕ

Основное направление развития современной микроэлектроники – "Больше Мура и больше, чем Мур" также охватывает создание нанотранзисторных архитектур, которые могут обеспечить сверхвысокое быстродействие и запредельную степень интеграции [1]. Среди них преобладают те, в которых активная зона (канал) полностью

окружена затвором [1-5]. Одной из таких является архитектура с цилиндрической геометрией [6]. Она характеризуется двукратным превосходством по подавлению коротко-канальных эффектов (ККЭ) по сравнению с традиционными транзисторными структурами и также отличается улучшенной подпороговой характеристикой и повышенной плотностью тока в режиме сильной инверсии [6-9]. Развитием цилиндрической архитектуры является подход, связанный с объединением транзисторов  $n$ - и  $p$ -типов в единое целое [10], что иллюстрируется **Рис. 1**.

При этом области исток и сток разделены на две высоколегированные зоны  $n$ - и  $p$ -типов, рабочая область является универсальной для носителей заряда (электронов и дырок). Вся транзисторная структура помещается на подложку КНИ (кремний на изоляторе). Отличительной особенностью такой конструкции является возможность существенно повысить степень интеграции [11,12], а также допускает большое разнообразие конструктивных исполнений [1,2,10-14], что значительно упростит задачу проектирования сложно-функциональных логических вентилях [2,10]. Для достижения высокой проводимости

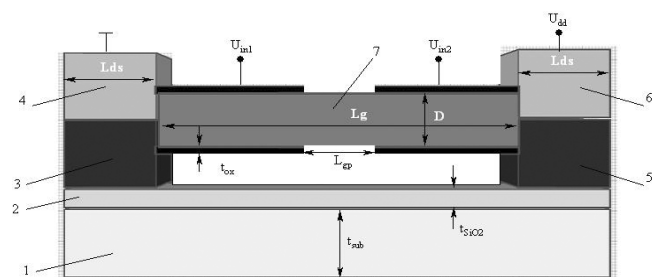


**Рис. 1.** Структурная схема совмещенного транзистора. Здесь 1 – кремниевая подложка, 2 – изолирующий слой оксида кремния, 3 –  $n^+$ -исток, 4 –  $p^+$ -исток, 5 –  $n^+$ -сток, 6 –  $p^+$ -сток, 7 – объединенная рабочая область.

рассматриваемой транзисторной структуры необходимо, чтобы ее рабочая область была низколегированной, близкой к собственной проводимости кремния [7,15,16]. При подаче на исток напряжения питания ( $U_{dd}$ ) активизируется процесс инжекции носителей в объединенную рабочую область [10,17]. Их распределение в канале зависит от напряжения на затворе ( $U_g$ ). Так при  $U_g - U_{th} > 0$  в канале преобладают электроны, а при  $U_g - U_{th} < 0$  – дырки, где  $U_{th}$  – пороговое напряжение. Поэтому рассматриваемая транзисторная структура является однокаскадным логическим вентиляем, у которого вход – затвор, выход – общий сток [6,9].

На базе данного транзистора можно синтезировать более сложный логический вентиль И-НЕ. На **Рис. 2** приведена функциональная схема двухвходового логического вентиля 2И-НЕ на основе одного транзистора с двумя независимыми полностью охватывающими затворами.

Ток протекает через вентиль только в случае если напряжение, соответствующее уровню логической единицы  $U_1$  ( $U_1 = U_{dd}$ ) приложено к обоим затворам одновременно. Тогда напряжение на выходе (стоке) будет низким, близким к нулю, равным уровню логического нуля  $U_0$ . При всех других комбинациях напряжения на затворах ток



**Рис. 2.** Структурная схема вентиля 2NAND, где цифровые обозначения соответствуют Рис. 1.  $L_g$  – длина рабочей области,  $D$  – диаметр рабочей области,  $t_{ox}$  – толщина подзатворного диэлектрика,  $L_{ds}$  – размер области истока/стока,  $L_{gp}$  – размер зазора между подзатворными диэлектриками независимых затворов,  $t_{SiO2}$  – толщина изолирующего оксида кремния,  $t_{sub}$  – толщина кремниевой подложки.

через клапан течь не будет, и напряжение на выходе будет высоким, на уровне логической единицы.

Данная структура характеризуется эффективным подавлением ККЭ и низким значением ёмкости. Это обуславливает в совокупности с сокращением занимаемой площади снижение уровня рассеиваемой мощности [2,6,7,9], что в полной мере отвечает требованиям к современным цифровым схемам [1,4,18].

В настоящей работе исследуется возможность синтеза сложных логических вентилях совмещённых КНИ МОП нанотранзисторах с полностью охватывающим затвором, для низковольтных цифровых приложений. Решение данной задачи осуществляется при помощи программного пакета приборно-технологического моделирования TCAD [19].

## 2. РЕЗУЛЬТАТЫ МОДЕЛИРОВАНИЯ ВЕНТИЛЯ 2И-НЕ

Компьютерное моделирование электрофизических характеристик вентиля 2И-НЕ на совмещённом КНИ КМОП нанотранзисторе с цилиндрической геометрией и полностью охватывающим затвором проводилось с использованием программы DESSIS пакета ISE TCAD [19]. В ходе численных экспериментов были проанализированы устройства с различными геометрическими размерами рабочей зоны, основные параметры которых приведены в **Таблице 1**. Рассматривались «планарный»

и «вертикальный» варианты конструкции вентилях с учетом поверхностной рекомбинации носителей заряда по механизму Шокли-Рида-Холла, высокой деградации полевой подвижности. В наших расчетах варьировались следующие параметры: диаметр  $D$ , длина рабочей области  $L_g$ , длина зазора между подзатворными окислами независимых затворов  $L_{gp}$ . При выборе параметров  $L_g$  и  $D$  необходимо выполнить условие полного подавления ККЭ [6]. Следует учитывать, что с уменьшением диаметра уменьшается емкость перехода сток-исток, соответственно возрастает пороговое напряжение, и, следовательно, увеличивается время отклика транзистора [16,17,20]. При выборе топологических параметров прототипов необходимо учитывать, что при масштабировании критически скажется снижение общего числа носителей, участвующих в процессе переноса. Прямое увеличение диаметра активной области ограничено из-за того, что снижается эффективность подавления ККЭ [7]. Увеличение уровня легирования истока и стока ограничено экспоненциальным ростом прямого туннельного тока между истоком и стоком [4,17,21] и снижением пробивного напряжения [20]. При моделировании предполагается, что границы рабочей области и областей истока/стока – резкие, и нет перекрытия между затворами и областями истока и стока. Толщина  $t_{ox}$  выбирается таким образом, чтобы исключить влияние постоянного туннельного тока затвора [7].

В Таблице 1 приняты следующие обозначения.  $N_{ds}$  – концентрация легирования истока и стока,  $v_{SRH}$  – скорость поверхностной рекомбинации по механизму Шокли-Рид-Холла,  $t_{SRH}$  – время жизни неосновных носителей заряда по механизму Шокли-Рид-Холла,  $A_d$  – работа выхода.

Из результатов моделирования мы для дальнейших исследований выбрали прототип со следующим набором

Таблица 1.

Основные параметры прототипов

Параметр	Значение	Параметр	Значение
$L_g$ , нм	22...32	$D$ , нм	8...12
$L_{gp}$ , нм	5...8	$t_{ox}$ , нм	1.2
$t_{SiO_2}$ , нм	20	$t_{sub}$ , мкм	0.6
$L_{ds}$ , нм	100	$n_i$ , см <sup>-3</sup>	$10^{13}$
$N_{ds}$ , см <sup>-3</sup>	$3.5 \cdot 10^{19}$	$v_{SRH}$ , см/сек	$3 \cdot 10^5$
$t_{SRH}$ , мкс	10	$A_d$ , эВ	4.65

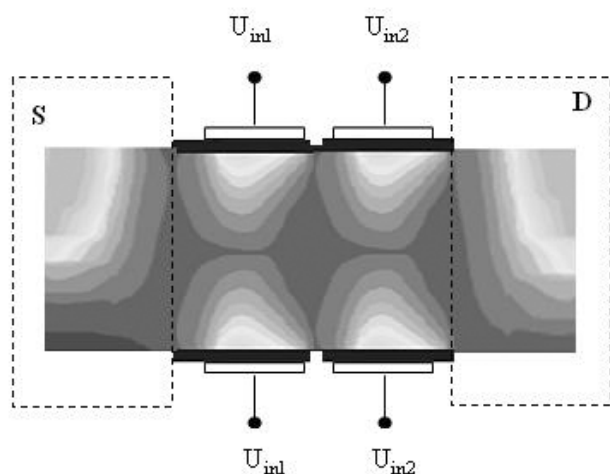


Рис. 3. Фрагмент распределение носителей в активной области вентиля П-НЕ.

параметров:  $L_g = 25$  нм,  $D = 8.5$  нм,  $L_{gp} = 6$  нм, т.к. соотношение его токов ON/OFF было максимальным, больше  $10^6$ , что является основным критерием при выборе структур для цифровых схем [10,22].

На Рис. 3 представлены результаты TCAD моделирования распределения носителей в рабочей области выбранного вентиля для управляющих затворных напряжений  $U_{in1} = U_{in2} = U_0$  и напряжении питания  $U_{dd} = 0.5$  В.

В данном случае рабочая область в основном заполнена дырками и ее электронная проводимость очень низкая.

На Рис. 4 приведены результаты моделирования передаточной и переходной характеристик выбранного вентиля.

Передаточные характеристики вентиля показывают, что он может функционировать и в области низких напряжений питания (менее 0.5 В) с высоким коэффициентом усиления по напряжению. В приведенном случае переходной характеристики происходит срабатывание вентиля и на его выходе формируется сигнал логической единицы. Временная задержка переключения на частоте 20 ГГц составляет 0.81 пс. Во всех остальных комбинациях затворных напряжений напряжение на

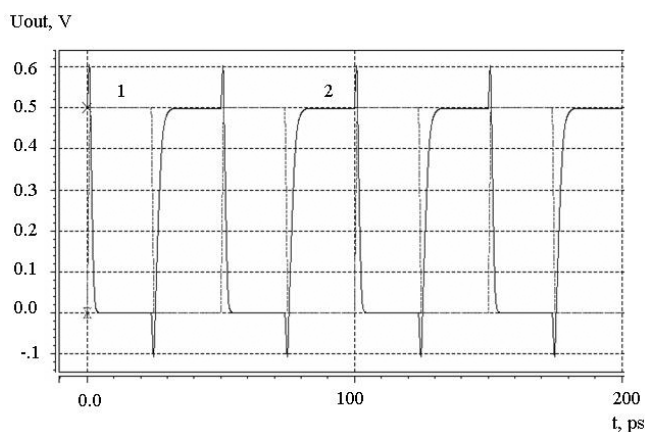
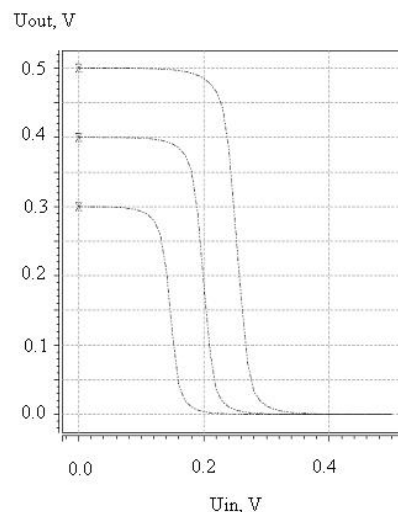


Рис. 4. Верхний – семейство передаточных характеристик вентиля при  $U_{dd} = 0.5$  В (верхняя кривая), 0.4 В (средняя) и 0.3 В (нижняя). Нижний – переходная характеристика вентиля при  $U_{in2} = U_{dd} = 0.5$  В, где 1 – входной сигнал,  $U_{in1,2}$  – выходной сигнал (сплошная линия).

выходе устройства соответствует уровню логического нуля. В общем случае время срабатывания вентиля ограничено временным откликом транзисторной структуры, которое можно оптимизировать подбором топологических параметров.

### 3. МОДЕЛИРОВАНИЕ ХАРАКТЕРИСТИК ПОЛУСУММАТОРА

Логический элемент полусумматор является основной составляющей частью одноразрядного полного сумматора. Он имеет два входа  $a_1$  и  $a_2$  для двух операндов и два выхода:  $S$  – сумма,  $P$  – перенос. Он не является однокаскадным в силу выполняемой

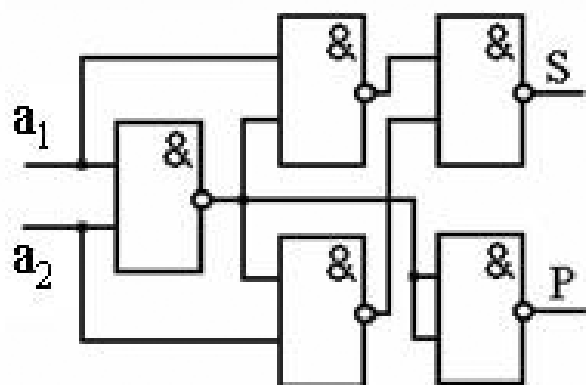


Рис. 5. Структурная схема полусумматора.

им логической функции. На Рис. 5 показана реализация полусумматора в базисе И-НЕ. Следует отметить, что один из вентилях в схеме используется в качестве инвертора, а всего операций инвертирования – пять. Применение рассматриваемой вентилярной архитектуры приводит к резкому сокращению занимаемой площади (минимум в пять раз), что повышает быстродействие за счет уменьшения переключаемой емкости, и обуславливает снижение рассеиваемой мощности.

На основе модели вентиля И-НЕ разработана TCAD модель полусумматора. На Рис. 6 приведены результаты моделирования

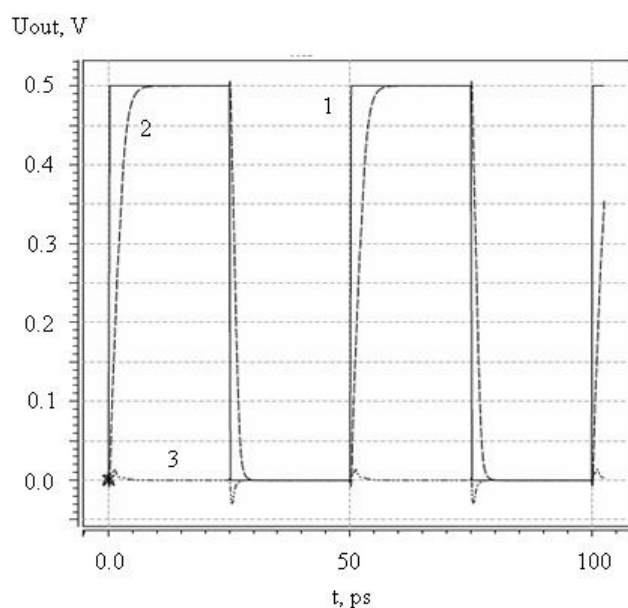


Рис. 6. Динамическая характеристика полусумматора при  $U_{a1} = U_{dd} = 0.5$  В и тактовой частоте 20 ГГц, где 1 –  $U_{a2}$ , 2 –  $U_S$ , 3 –  $U_P$ .

его одной из возможных динамических характеристик.

Здесь при  $U_{dd} = 0.5$  В, напряжении на входе  $a_1$  ( $U_{a1}$ ) на низком уровне  $U_0$  (0 В) и напряжение на входе  $a_2$  ( $U_{a2}$ ) переключается из  $U_0$  (нуля) в  $U_1$  (единицу) происходит переключение выхода  $S$  ( $U_S$ ) на высокий уровень  $U_1$ , а выхода  $P$  ( $U_P$ ) остается на низком уровне  $U_0$ . В рассматриваемом случае этот процесс происходит с тактовой частотой 20 ГГц. Временная задержка переключения 4.8 пс. В этом случае активная мощность составляет 0.66 мкВт, статическая мощность – 21.5 пВт. В зависимости от уровня напряжения на входах вентиля уровень выходов поддерживается либо низкий/низкий, высокий/низкий, либо низкий/высокий. Наличие пиков связано с переходными процессами в схеме, максимальная величина пика напрямую зависит от значения напряжения питания.

На Рис. 7 приведена временная диаграмма напряжений на входах и выходах сумматора. Длительность импульсов, подающихся на каждый вход  $a_1$  ( $U_{a1}$ ) и  $a_2$  ( $U_{a2}$ ) одинакова. Частота их следования отличается ровно в два раза. Это влечет наложение импульсов из низкочастотной последовательности  $U_{a1}$  на четные импульсы высокочастотной последовательности  $U_{a2}$ . Именно в этих случаях происходит переход выхода  $P$  и на нем формируется сигнал логической единицы, а на выходе  $S$  формируется сигнал логического нуля. Во всех остальных случаях напряжение на выходе  $S$  соответствует уровню логической единицы, на выходе  $P$  – логического нуля.

Обобщая полученные результаты, можно сделать вывод о том, что устройства на основе рассмотренной архитектуры могут быть использованы при разработке цифровых схем как для высокочастотных, так и для низковольтных приложений.

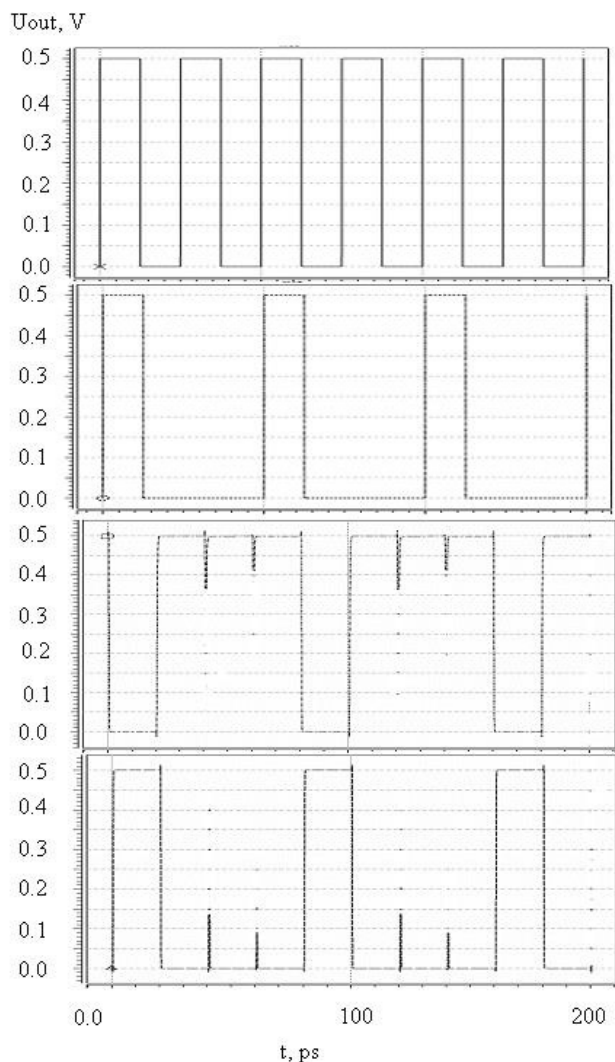


Рис. 7. Временная диаграмма напряжений на входах и выходах полусумматора, где верхние рисунки – напряжения на входах, ниже – на выходе  $S$ , самый нижний – на выходе  $P$ .

#### 4. ЗАКЛЮЧЕНИЕ

Показан высокий потенциал для применимости в низковольтных цифровых приложениях архитектуры полевого нанотранзистора с цилиндрической совмещённой рабочей областью и с полностью охватывающим затвором. При этом в качестве инструментального средства используется лицензионная система приборно-технологического моделирования TCAD. На основе исследуемой архитектуры разработана TCAD модель вентиля И-НЕ, конструкция которого содержит два независимых затвора, охватывающие одну объединённую рабочую область. Из

результатов численных экспериментов определены геометрические параметры прототипа вентиля, который может функционировать при управляющих напряжениях 0.5 В и ниже в диапазоне частот до 20 ГГц с высоким коэффициентом усиления.

Разработана TCAD модель полусумматора в базе вентиля И-НЕ. По результатам моделирования показана работоспособность прототипа, который выполняет операции сложения двоичных кодов с задержкой 4.2 пс при напряжении питания 0.5 В и частоте 20 ГГц. В этом случае активная мощность составляет 0.66 мкВт, статическая мощность – 21.5 пВт. Полученные результаты создают теоретические основы для синтеза низковольтных сложно функциональных блоков с высокой производительностью и минимальной занимаемой площадью, что отвечает современным требованиям для цифровых применений.

#### ЛИТЕРАТУРА

1. Radamson HH, Zhu H, Wu Z, He X, Lin H, Liu J, Xiang J, Kong Z, Xiong W, Li J, Cui H, Gao J, Yang H, Du Y, Xu B, Li B, Zhao X, Yu J, Dong Y, Wa G. State of the art and future perspectives in advanced CMOS technology. *Nanomaterials*, 2020, 10(8):1555-1641.
2. Rahman F, Shakya B, Xu X, Forte D, Tehranipoor M. Security beyond CMOS: fundamentals, applications, and roadmap. *IEEE Trans. Very Large Scale Integr. (VLSI) Syst.*, 2017, 25(12):3420-3433.
3. Hsieh D, Lin J, Kuo P, Chao T. Comprehensive analysis on electrical characteristics of Pi-Gate poly-Si junctionless FETs. *IEEE Trans. Electron Dev.*, 2017, 64(8):2992-2998.
4. Majzoub S, Taouil M, Hamdioui S. System-level sub-20 nm planar and FinFET CMOS delay modelling for supply and threshold voltage scaling under process variation. *J. of Low Power Electron.*, 2019, 15(1):1-10.

5. Dharshan V, Balamurugan NB, Arun Samuel TS. An analytical modeling and simulation of surrounding gate TFET with an impact of dual material gate and stacked oxide for low power applications. *J. of Nano Research*, 2019, 57(4):68-76.
  6. Ferain I, Colinge CA, Colinge J. Multigate transistors as the future of classical metal–oxide–semiconductor field-effect transistors. *Nature*, 2011, 479:310-316.
  7. Lu W. Nanowire transistor performance limits and applications. *IEEE Trans. on Electron Dev.*, 2008, 55(11):2859-2876.
  8. Dastjerdy E, Ghayour R, Sarvari H. Simulation and analysis of the frequency performance of a new silicon nanowire MOSFET structure. *Physica E*, 2012, 45(8):66-71.
  9. Schwierz F, Wong H, Liou JJ. *Nanometer CMOS*. Singapore, Pan Stanford Publishing, 2010, 350 p.
  10. Kaushik BK (ed.). *Nanoelectronics: Devices, Circuits and Systems*. Elsevier, 2018, 476.
  11. Yoon JS, Rim T, Kim J, Meyyappan M, Baek CK, Jeong YH. Vertical gate-all-around junctionless nanowire transistors with asymmetric diameters and underlap lengths. *J. Appl. Phys.*, 2014, 105(10):102105.
  12. Guerfi Y, Larrieu G. Vertical silicon nanowire field effect transistors with nano scale gate-all-around. *Nanoscale Res. Lett.*, 2016, 11(1):210-217
  13. Neamen D. *Semiconductor physics & devices: basic principles*. New York, McGraw-Hill, 2011, 784 p.
  14. Masal'skii NV. Modeling the CMOS characteristics of a completely depleted surrounding-gate nanotransistor and an unevenly doped working region. *Rus. Microelectron.*, 2019, 48(6):394-398.
  15. Verma JHK, Haldar S, Gupta RS, Gupta M. Modelling and simulation of subthreshold behaviour of cylindrical surrounding double gate MOSFET for enhanced electrostatic integrity. *Superlattices Microstruct.*, 2015, 88(3):354-364.
  16. Gupta SK. Threshold voltage model of junctionless cylindrical surrounding gate MOSFETs including fringing field effects. *Superlattices Microstruct.*, 2015, 88(2):188-197.
  17. Nayak K, Agarwal S, Bajaj M, Murali KV, Rao VR. Random dopant fluctuation induced variability in undoped channel Si gate all around nanowire n-MOSFET. *IEEE Trans. Electron Dev.*, 2015, 62(2):685-688.
  18. Yoon JS, Jeong EY, Baek CK, Kim YR, Hong JH, Lee JS, Baek RH, Jeong YH. Junction design strategy for Si bulk FinFETs for system-on-chip applications down to the 7-nm node. *IEEE Trans. Electron Dev. Lett.*, 2015, 36(10):994-996.
  19. ISE TCAD Release 10. [Online]. Available: <https://www.synopsys.com/silicon/tcad/device-simulation/sentaurus-device.html>, access data 15.06.2019.
  20. Wang H, Liu Y, Han G, Shao Y, Zhang C, Feng Q, Zhang J, Hao Y. Performance enhancement in uniaxially strained Germanium–Tin FinTFET: Fin direction dependence. *IEEE Trans. Electron Dev.*, 2017, 64(6):2804-2811.
  21. Samoju VR, Mahapatra K, Tiwari PK. Analytical modeling of subthreshold characteristics by considering quantum confinement effects in ultrathin dual-metal quadruple gate (DMQG) MOSFETs. *Superlattices Microstruct.*, 2017, 111(6):704-713.
  22. Kumari Amrita, Kumar Subindu, Tarun Kumar Sharma, Mukul Kumar Das. On the C-V characteristics of nanoscale strained gate-all-around Si/SiGe MOSFETs. *Solid-State Electron.*, 2019, 154(4):36-42. DOI: 10.1016/j.sse.2019.02.006.
- Масальский Николай Валерьевич**  
к.ф.-м.н.  
НИИ системных исследований РАН  
36/1, Нахимовский просп., Москва 117218, Россия  
volkov@niisi.ras.ru.