

DOI: 10.17725/rensit.2023.15.033

Кремниевый с полностью охватывающим затвором полевой нанотранзистор с нелинейной геометрией рабочей области Масальский Н.В.

Научно-исследовательский институт системных исследований РАН, <http://www.niisi.ru/>

Москва 117218, Российская Федерация

E-mail: volkov@niisi.ras.ru

Поступила 20.03.2023, рецензирована 24.03.2021, принята 28.03.2023

Представлена действительным членом РАЕН В.В. Колесовым

Аннотация: Обсуждается кремниевый КМОП нанотранзистор с цилиндрической геометрией с полностью охватывающим затвором с нелинейной геометрией рабочей области. При помощи математического моделирования, использующего программную среду приборного технологического моделирования TCAD, на основе разработанных TCAD моделей n- и p-типов нанотранзисторов выполнены численные исследования прототипов с параболической рабочей областью. Для прототипов n- и p-типов с оптимизированным отношением радиусов, которое составляет 0.76, разработана модель инвертора. При управляющих напряжениях 0.6 В и частоте 25 ГГц модель предсказывает максимальную задержку переключения 1.0 пс, предельный уровень активной мощности 0.22 мкВт, статической 72 пВт. Численно проанализированы электрофизические характеристики прототипа n-типа с диэлектрическими стеками подзатворного окисла $\text{SiO}_2\text{-Al}_2\text{O}_3$ и $\text{SiO}_2\text{-HfO}_2$. Результаты моделирования показывают, что использование стеков с высоким k оказывает заметное влияние на ключевые транзисторные характеристики. Таким образом, параболическая нанотранзисторная архитектура с оптимизированным отношением радиусов в перспективе может стать заменой цилиндрической структуры для высокоскоростных низковольтных приложений.

Ключевые слова: кремневая нанотранзисторная архитектура, полностью охватывающий затвор, параболический профиль рабочей области, моделирование

УДК 621.382.323

Благодарности: Работа выполнена в рамках государственного задания ФГУ ФНЦ НИИСИ РАН «Проведение фундаментальных научных исследований (47 ГП)» по теме № FNEF-2022-0022 "Математическое обеспечение и инструментальные средства для моделирования, проектирования и разработки элементов сложных технических систем, программных комплексов и телекоммуникационных сетей в различных проблемно-ориентированных областях".

Для цитирования: Масальский Н.В. Кремниевый с полностью охватывающим затвором полевой нанотранзистор с нелинейной геометрией рабочей области. РЭНСИТ: Радиоэлектроника. Наносистемы. Информационные технологии, 2023, 15(1):33-42. DOI: 10.17725/rensit.2023.15.033.

Silicon field nanotransistor with a surrounding gate and a nonlinear geometry of the working area

Nikolae V. Masalsky

Research Institute of System Researches of RAS, <http://www.niisi.ru/>

Moscow 117218, Russian Federation

E-mail: volkov@niisi.ras.ru

Received March 20, 2023, peer-reviewed March 24, 2021, accepted March 28, 2023

Abstract: A silicon CMOS nanotransistor with a cylindrical geometry with a fully enclosing gate with a non-linear geometry of the working area is discussed. Numerical studies of prototypes with a parabolic working area were performed using mathematical modeling using the software

environment for instrumental technological modeling TCAD, based on the models of n- and p-type nanotransistors developed by TCAD. An inverter model has been developed for n- and p-type prototypes with an optimized radius ratio of 0.76. At control voltages of 0.6 V and a frequency of 25 GHz, the model predicts a maximum switching delay of 1.0 ps, an active power limit of 0.22 μ W, and a static power of 72 pW. The electrophysical characteristics of the n-type prototype with dielectric stacks of gate oxide $\text{SiO}_2\text{-Al}_2\text{O}_3$ and $\text{SiO}_2\text{-HfO}_2$ are analyzed numerically. The simulation results show that the use of high k stacks has a noticeable effect on key transistor characteristics. Thus, a parabolic nanotransistor architecture with an optimized radius ratio can potentially become a replacement for a cylindrical structure for high-speed low-voltage applications.

Keywords: silicon nanotransistor architecture, surrounding gate, parabolic profile of the working area, simulation

UDC 621.382.323

Acknowledgments: The work was carried out within the framework of the state task of the Federal State Institution Federal Research Center NIISI RAS "Conducting fundamental scientific research (47 GP)" on topic No. FNEF-2022-0022 "Mathematical support and tools for modeling, designing and developing elements of complex technical systems, software systems and telecommunication networks in various problem-oriented areas".

For citation: Nikolae V. Masalsky. Silicon field nanotransistor with a surrounding gate and a nonlinear geometry of the working area. *RENSIT: Radioelectronics. Nanosystems. Information Technologies*, 2023, 15(1):33-42e. DOI: 10.17725/rensit.2023.15.033.

СОДЕРЖАНИЕ

1. ВВЕДЕНИЕ (34)
2. СТРУКТУРА ПРОТОТИПА ТРАНЗИСТОРА (35)
3. МОДЕЛЬ ПРОТОТИПА И НАСТРОЙКА МОДЕЛИРОВАНИЯ (36)
4. РЕЗУЛЬТАТЫ МОДЕЛИРОВАНИЯ И ОБСУЖДЕНИЕ (37)
5. СИНТЕЗ ИНВЕРТОРА (38)
6. ПРИМЕНЕНИЕ ДИЭЛЕКТРИКОВ С ВЫСОКИМ k (39)
7. ЗАКЛЮЧЕНИЕ (40)

ЛИТЕРАТУРА (41)

1. ВВЕДЕНИЕ

Современные методы проектирования и технологические процессы обладают уникальными возможностями для производства трехмерных элементов интегральных схем. Использование этих возможностей сделало транзисторное семейство с окружающим затвором - gate-all-around (GAA) приоритетным для современного технологического развития нанoeлектроники [1,2]. Однако, отрицательными свойствами таких транзисторов являются большой подпороговый ток и высокая крутизна подпороговой характеристики [2,4-6]. Это является результатом масштабирования,

направленного на повышение быстродействия нанотранзисторных СБИС. В настоящей работе на основе подхода, связанного с изменением геометрии рабочей области транзистора [7-9] для преодоления последствий масштабирования, разработан новый член семейства GAA и исследованы его электрофизические характеристики.

В настоящей работе разработана цилиндрическая архитектура КМОП нанотранзистора с полностью охватывающим затвором и рабочей областью в виде усеченного параболоида, где со стороны стока радиус рабочей области меньше, чем ее радиус со стороны истока. В такой конфигурации реализуется частичная экранировка стока. Это снижает влияние горячих носителей, что приводит к повышению тока стока транзистора [10,11], а также усложняет диффузию носителей в подпороговом режиме. В такой архитектуре появляется возможность более эффективного подавлением коротко-канальных эффектов (ККЭ), снижение ёмкости, что обуславливает предпосылки для повышения быстродействия и снижение уровня рассеиваемой мощности [11-14].

Численно исследуются потенциальные возможности применения прототипов кремниевых цилиндрических с полностью охватывающим затвором суб 25 нм КМОП транзисторов с рабочей областью в виде усеченного параболоида для низковольтных цифровых приложений [3,11,15,16]. Исследования выполняются при помощи приборно-технологического моделирования TCAD [17]. На основе разработанной в рамках настоящей работы TCAD модели кремниевого цилиндрического с полностью охватывающим затвором КМОП нанотранзистора с рабочей областью в виде усеченного параболоида анализируются электрофизические характеристики транзисторных структур *n*- и *p*-типов с низким уровнем управляющих напряжений, получены оценки их работоспособности, на их основе синтезирован высокочастотный низковольтный инвертор и проведено исследование влияния диэлектриков с высокой диэлектрической проницаемостью на электрофизические характеристики рассматриваемой транзисторной структуры.

2. СТРУКТУРА ПРОТОТИПА ТРАНЗИСТОРА

На Рис. 1 показан 3D эскиз архитектуры кремниевого цилиндрического с полностью охватывающим затвором КМОП нанотранзистора с рабочей областью в виде усеченного параболоида. Она включает исток (поз. 1), сток (поз. 2) и рабочую область (поз. 3), где L_g – длина рабочей области по оси симметрии вдоль оси z . Кремниевая сердцевина рабочей области полностью охвачена пленкой оксида кремния (поз. 4) толщиной t_{ox} и поликремниевым затвором толщиной t_g (не показан на рисунке).

При выборе геометрических параметров необходимо учитывать следующее. При масштабировании цилиндрических транзисторных структур только снижение радиуса рабочей области (R) приводит к снижению тока транзистора [12]. Для подавления ККЭ в цилиндрической архитектуре должно выполняться связывающее геометрические параметры условие: $L_g \leq 12.2 \sqrt{R t_{ox}}$ [12,18]. Выполнение этого

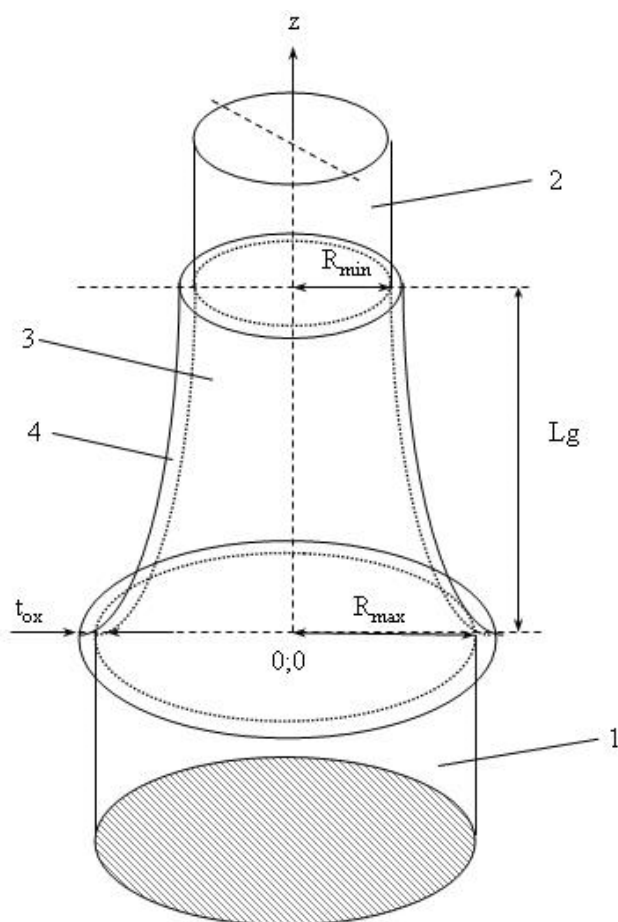


Рис 1. Структурная схема кремниевого цилиндрического с полностью охватывающим затвором КМОП нанотранзистора с параболической рабочей областью, где 1 - исток, 2 - сток, 3 - рабочая область, 4 – подзатворный диэлектрик с толщиной t_{ox} , L_g – длина рабочей области, R_{max} – радиус рабочей области со стороны истока, R_{min} – радиус рабочей области со стороны стока.

условия определило разработку конструкции цилиндрического с полностью охватывающим затвором КМОП нанотранзистора с рабочей областью в виде усеченного параболоида. В данном случае со стороны истока для большого радиуса (или R_{max}) не выполняется условие подавления ККЭ, а со стороны стока для маленького радиуса (R_{min}) оно выполняется. При этом зависимость изменения радиуса можно записать в следующем виде:

$$R(z) = R_{min} + \frac{\Delta R}{L_g^2} (L_g - z)^2 \text{ и } \Delta R \ll L_g,$$

где $\Delta R = R_{max} - R_{min}$.

Задача расчета электрофизических характеристик анализируемой транзисторной структуры решается для минимально возможных L_g , R_{max} , R_{min} и t_{ox} из диапазона

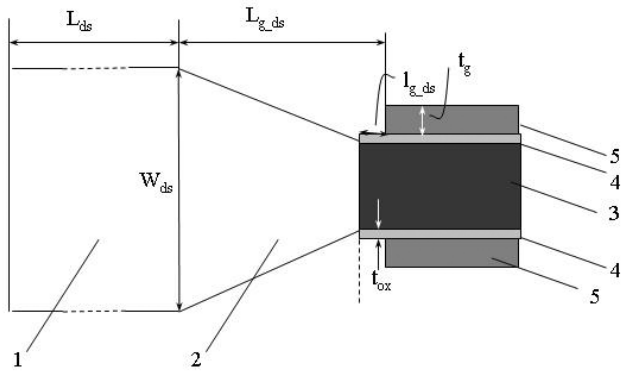


Рис. 2. Структурная схема узла сток(исток)-затвор, где 1 – сток(исток), 2 – конический переход, 3 – кремниевая сердцевина рабочей области, 4 – подзатворный диэлектрик, 5 – поликремниевый затвор, L_{ds} , W_{ds} – продольный и поперечный размер стока (истока), соответственно, L_{g-ds} , l_{g-ds} – максимальное и минимальное расстояние между затвором и стоком(истоком), соответственно, t_{ox} – толщина подзатворного диэлектрика, t_g – толщина затвора.

значений близких к границе миниатюризации [1,14-16].

Для минимизации емкостной связи затвор-исток и затвор-сток переход между ними выполнен в виде усеченного конуса [9] (см. **Рис. 2**).

В данном случае зазор между затвором и истоком (стоком) будет увеличиваться линейно вдоль оси x . Отношение L_{g-ds}/l_{g-ds} , где L_{g-ds} и l_{g-ds} – максимальное и минимальное расстояние между затвором и стоком(истоком), является граничным условием для уровня емкостной связи [13,14].

3. МОДЕЛЬ ПРОТОТИПА И НАСТРОЙКА МОДЕЛИРОВАНИЯ

При выборе топологических параметров прототипов транзистора необходимо учитывать, что при масштабировании критически скажется снижение общего числа носителей, участвующих в процессе переноса. Прямое увеличение диаметра активной области ограничено из-за того, что снижается эффективность подавления ККЭ [19]. Увеличение уровня легирования истока и стока ограничено и экспоненциальным ростом прямого туннельного тока между ними и снижением напряжения пробоя [10,20].

Для кремниевого цилиндрического с полностью охватывающим затвором КМОП нанотранзистора с рабочей областью в виде

усеченного параболоида разработана TCAD модель. Рассматривался "вертикальный" (см. Рис. 1) вариант конструкции транзисторов с учетом поверхностной рекомбинации носителей заряда по механизму Шокли-Рида-Холла, высокой деградации полевой подвижности [21]. В наших расчетах отношение радиусов R_{min}/R_{max} варьировалось в диапазоне 0.6-1, где максимальное значение R_{min}/R_{max} соответствует общепринятой цилиндрической конфигурации ГАА транзистора. Значение параметра L_g фиксировано. Эффект плавающей базы компенсирован выбором диапазона изменения радиуса кремниевой сердцевины рабочей области [19]. Толщина t_{ox} установлена так, чтобы исключить влияние постоянного туннельного тока затвора. Исходя из технологических требований для толщины t_g и поперечного размера высоколегированного стока/истока W_{ds} , минимизируется значение параметра L_{g-ds} . Оно находится из следующих условий: 1) $L_{g-ds} > (t_g + t_{ox})$; 2) $L_{g-ds}/l_{g-ds} > 15$; 3) $l_{g-ds} > 1.0$ нм, выполнение которых обеспечивает очень слабую емкостную нагрузку [13,14], что является хорошей компенсацией паразитных емкостей данного узла, влияющих на электрофизические характеристики транзистора. При моделировании температура решетки фиксирована.

В ходе численных экспериментов были проанализированы прототипы с различным отношением R_{min}/R_{max} . Основные модельные параметры прототипов приведены в **Таблице 1**.

В Табл. 1 обозначения не определенные выше имеют следующие значение. L_{ds} , N_{ds} – продольный размер и концентрация легирования истока и стока, соответственно, v_{SRH} и t_{SRH} – скорость поверхностной рекомбинации

Таблица 1
Основные параметры прототипов

Параметр	Значение	Параметр	Значение
L_g , нм	22	N_A , см ⁻³	1.5x10 ¹⁵
R_{max} , нм	5	L_{ds} , нм	50
R_{min} , нм	3-5	W_{ds} , нм	50
t_{ox} , нм	1.5	N_{ds} , см ⁻³	5x10 ¹⁹
t_g , нм	15	v_{SRH} , см/сек	3x10 ⁵
L_{s-ds} , нм	22	t_{SRH} , мкс	10
l_{g-ds} , нм	1.0	T, К	300

и время жизни неосновных носителей заряда по механизму Шокли-Рид-Холла, соответственно.

Для моделирования анализируемой транзисторной архитектуры использовался модуль структурного проектирования SDE пакета ISE TCAD [17]. При этом геометрические границы областей задавались строго, без моделирования технологических процессов. Расчёт электрофизических параметров прототипов выполняется численными методами по узлам сетки с оптимизированным шагом. В областях стока и истока с постоянным радиусом шаг сетки увеличенный. В областях с изменяемым радиусом, где протекают основные физические процессы переноса носителей заряда, шаг сетки уменьшается. Точные размеры минимального и максимального шага сетки, а также закон перехода между ними подбираются эмпирически.

В качестве оптимизатора расчётной сетки использовался программный модуль SNMesh. Основой для численного моделирования электрофизических параметров прототипов является решение системы уравнений в частных производных, описывающей статическое и динамическое поведение носителей в нанотранзисторной структуре под действием управляющих напряжений на затворе и стоке [22]. Данная система уравнений решается с помощью программного модуля SDevice методом сеток с использованием алгоритма Ньютона при изменяемых граничных условиях, а также с учётом соответствующих моделей физических процессов, происходящих в активных областях.

4. РЕЗУЛЬТАТЫ МОДЕЛИРОВАНИЯ И ОБСУЖДЕНИЕ

Моделирование электрофизических характеристик прототипов кремниевого КМОП нанотранзистора с цилиндрической геометрией, полностью охватывающим затвором и параболической рабочей областью проводилось в диапазоне управляющих напряжений от 0 до 0.6 В.

На Рис. 3 приведены значения максимального тока прототипов *n*-типа, экстрагированные из результатов расчетов вольт-амперных характеристик (ВАХ) при разных значениях R_{min}/R_{max} в диапазоне 0.6-1. Следует отметить,

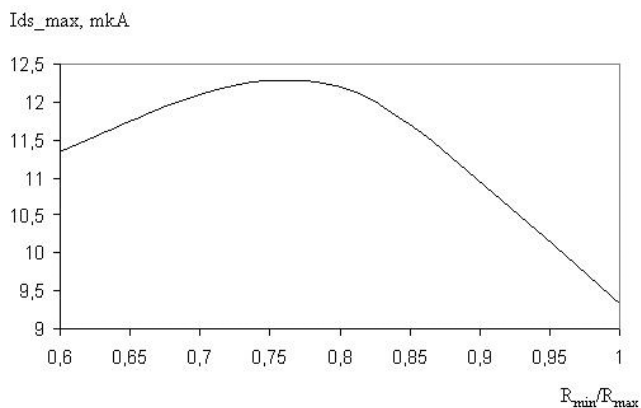


Рис. 3. Зависимость максимального тока прототипов (I_{ds_max}) при $U_{ds} = U_{gs} = 0.6$ В от R_{min}/R_{max} .

что анализируемые прототипы функционируют в обычном (нормальном) режиме в соответствии с классическими представлениями [2]. Во всех случаях ток стока прототипа *n*-типа примерно в 2 раза выше, чем ток стока прототипа *p*-типа.

Из Рис. 3 видно, что параболическая конструкция в большом диапазоне R_{min}/R_{max} характеризуется большим током стока по сравнению с цилиндрической. Увеличение тока стока связано с более равномерным распределением носителей в сечении рабочей области, которое возникает из-за ее сужения у стока. В данном случае создаются наиболее благоприятные условия для транспорта носителей. Во-первых, минимальное количество горячих носителей. Во-вторых, высокий ускоряющий потенциал. Совокупность этих факторов определяет максимально эффективный перенос носителей к стоку [3,5,7]. В экспериментах максимальный ток составляет 12.3 мкА при $R_{min}/R_{max} = 0.76$. По сравнению с цилиндрической рабочей областью ($R_{min}/R_{max} = 1$) максимальный ток стока примерно на 3 мкА выше, или на 24%. При уменьшении значения R_{min}/R_{max} снижается толщина кремния у стока, что отрицательно влияет на подвижность носителей и следовательно, на проводимость устройства. При больших значениях R_{min}/R_{max} (> 0.8) ток стока уменьшается из-за снижения эффективности экранировки стока. Отметим, что из результатов моделирования следует, что максимум проводимости также соответствует отношению $R_{min}/R_{max} = 0.76$, очевидно, из-за наилучших условий транспорта носителей.

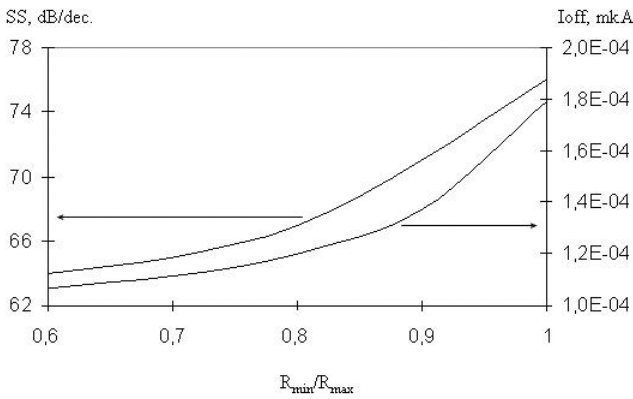


Рис. 4. Зависимость тока I_{off} и подпорогового наклона SS от R_{min}/R_{max} при $U_{ds} = 0.6$ В.

Поэтому, оптимизированный прототип будет иметь наибольший коэффициент усиления.

Для низковольтных высокоскоростных приложений исследованы следующие параметры: ток I_{off} , подпороговый наклон (SS), отношение токов I_{on}/I_{off} . Они имеют принципиальное значение для оценки применимости конкретной транзисторной структуры в высокоэффективных цифровых схемах. Так ток I_{off} уменьшает ток включения, что влияет на быстродействие транзистора и микросхемы в целом, и определяет уровень энергетического бюджета и помехозащищенности схемы [3,15,16]. Параметр SS является важным для обеспечения требуемых статических и динамических характеристик нанотранзисторов. На **Рис. 4** для прототипа n -типа приведены экстраполированные значения параметров I_{off} и SS .

Из Рис. 4, где приведены результаты моделирования, можно сделать вывод, что

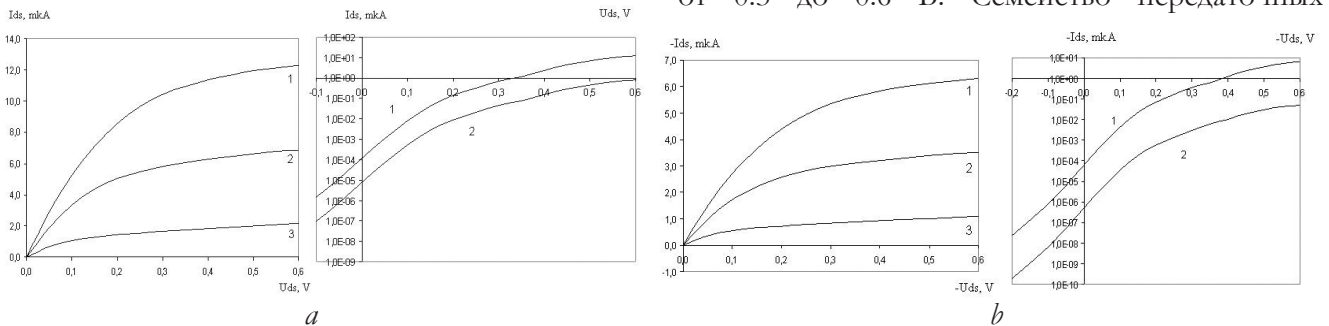


Рис. 5. ВАХ прототипов с оптимизированным отношением R_{min}/R_{max} , где а) прототип n -типа, левый рисунок $I_{ds}(U_{gs})$ при 1- $U_{gs} = 0.6$ В, 2- $U_{gs} = 0.4$ В, $U_{ds} = 0.2$ В, правый рисунок $I_{ds}(U_{gs})$ 1- $U_{ds} = 0.05$ В, 2- $U_{ds} = 0.6$ В; б) прототип p -типа, левый рисунок $I_{ds}(U_{gs})$ при 1- $U_{gs} = -0.6$ В, 2- $U_{gs} = -0.4$ В, $U_{gs} = -0.2$ В, правый рисунок $I_{ds}(U_{gs})$ 1- $U_{ds} = -0.05$ В, 2- $U_{ds} = -0.6$ В

параболические прототипы обеспечивают меньший ток утечки по сравнению с цилиндрической конструкцией. Для оптимизированной транзисторной структуры $R_{min}/R_{max} = 0.76, SS = 66.8$ мВ/дес. С повышением отношения R_{min}/R_{max} наблюдается неуклонный рост SS , что указывает на усиление влияния ККЭ и ограничивает диапазон возможных значений параметра R_{min}/R_{max} . При разработке современных электронных устройств важно учитывать соотношение токов I_{on}/I_{off} [15]. Для оптимизированной транзисторной структуры это отношение токов составляет 5 порядков.

На **Рис. 5** приведены ВАХ $I_{ds}(U_{ds})$ и $I_{ds}(U_{gs})$ для транзисторных структур n - и p -типов, оптимизированных отношением радиусов.

Совокупность полученных данных позволяет утверждать, что рассматриваемая транзисторная структура потенциально может быть использована для высокоскоростных цифровых приложений.

5. СИНТЕЗ ИНВЕРТОРА

При помощи программы TCAD с использованием разработанных в настоящей работе моделей исследуемых транзисторных структур n - и p -типов проводимости, промоделировано распространение высокочастотного логического сигнала через инвертор на прототипах с оптимизированной топологией. Эскиз размещения транзисторов, входящих в состав инвертора, представлен в [22].

Для данного инвертора смоделирована передаточная характеристика для различных значений напряжения питания U_{dd} в диапазоне от 0.3 до 0.6 В. Семейство передаточных

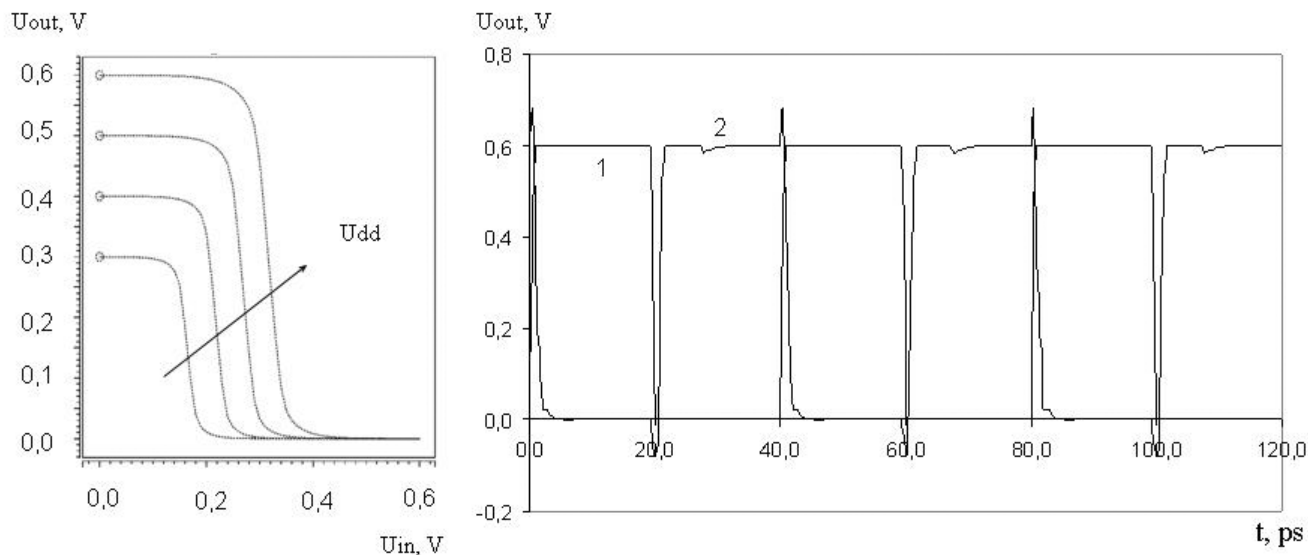


Рис. 6. Характеристики инвертора, где левый рисунок - семейство передаточных характеристик при изменении U_{dd} от 0.3 до 0.6 В, правый рисунок - динамическая характеристика инвертора при $U_{dd}=0.6$ В, где 1 – тактовый (входной) сигнал, 2 – отклик инвертора.

характеристик $U_{out}(U_{in})$ представлено на **Рис. 6**, где напряжение U_{in} соответствует U_{gs} .

Результаты моделирования показывают, что работоспособность всех устройств сохраняется в широком диапазоне U_{dd} . Что примечательно и в области низких приложенных напряжений (менее 0.6 В), они функционируют близко к идеальному инвертору с высоким коэффициентом усиления по напряжению [3,16].

Динамические характеристики каждого прототипа в режиме большого высокочастотного сигнала рассчитывались для ненагруженного устройства для входного сигнала с амплитудой 0.6 В и тактовой частотой 25 ГГц. Результаты моделирования переключения инвертора при $U_{dd} = 0.6$ В представлены на Рис. 6. Следует отметить, что вентиль практически без искажений передает импульсную последовательность. Экстраполированные значения задержки и мощности (активной и статической) приведены в **Таблице 2**.

Полученные данные подтверждают, что рассматриваемая транзисторная структура

потенциально может быть использована для высокоскоростных цифровых приложений.

6. ПРИМЕНЕНИЕ ДИЭЛЕКТРИКОВ С ВЫСОКИМ k

Диэлектрические материалы затвора кремниевого полевого транзистора сыграли значительную роль в разработке современных наноразмерных электронных устройств с высокими эксплуатационными характеристиками [19,23-24]. В данном случае рассматривают диэлектрики с высокой проницаемостью (*high-k*) в совокупности с интерфейсным слоем, роль которого играет пленка оксида кремния SiO_2 . Такая конструкция называется диэлектрическим стеклом. Интерфейсные слои создаются намеренно для того, чтобы пассивировать поверхность, предотвратить диффузию или повысить адгезию. Это связано с лучшим качеством интерфейса Si-SiO₂, который образуется в процессе изготовления. Материалы с высоким k являются более подходящими, чем традиционный оксид кремния SiO_2 , из-за меньшей требуемой толщины пленки подзатворного диэлектрика. Это приводит к снижению пороговое напряжения и улучшению подпороговой характеристики полевого транзистора [16,19,24]. Поэтому исследовать изменение электрофизических

Таблица 2

Характеристики инвертора

Параметры		
τ_{in}/τ_{out} , пс	P , мкВт	$P_{стат}$, пВт
1.0/0.45	0.22	72

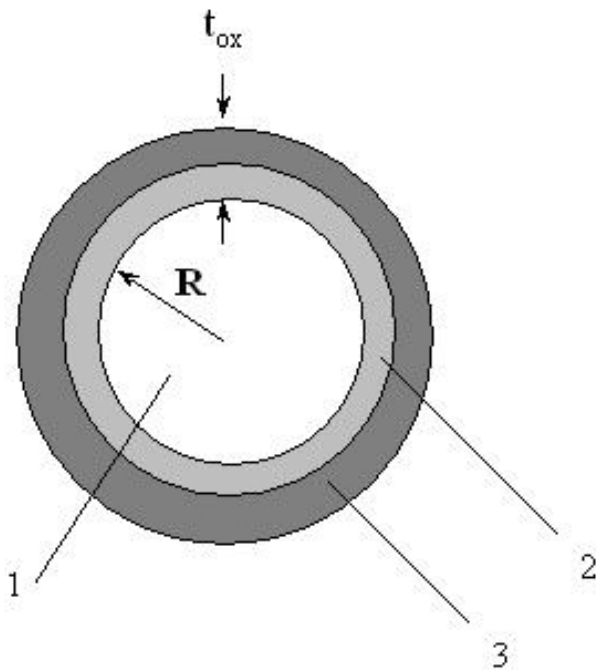


Рис. 7. Эскиз ортогонального сечения рабочей области, где 1 – кремниевая сердцевина рабочей области, 2 – пленка оксида кремния, 3 – пленка диэлектрика с высоким k .

характеристик транзистора с переходом на стековый подзатворный диэлектрик является актуальной задачей.

На **Рис. 7** показано поперечное сечение рабочей области. Ее кремниевая сердцевина (поз. 1) полностью охвачена пленкой оксида кремния толщиной 0.5 нм (поз. 2), и поверх ее окружает пленка диэлектрика с высоким k толщиной 1 нм (поз. 3).

Представленная выше TCAD модель была расширена для моделирования транзисторных электрофизических характеристик с учетом стековой конструкции подзатворного диэлектрика. Следует отметить, что интерфейсные слои могут несколько уменьшать ёмкость слоя *high-k* диэлектрика [25]. Вне зависимости от того, какой интерфейсный слой был сформирован, общая электрическая ёмкость стека будет меньше, чем ёмкость *high-k* плёнки самой по себе.

Таблица 3

Основные параметры прототипов

стек	I_{ds_max} , мкА	SS, мВ/дес	I_{off} , мкА	I_{on}/I_{off}
SiO ₂ -Al ₂ O ₃	13.9	64.5	3,5x10-05	4.0x10+05
SiO ₂ -HfO ₂	15.2	63.6	1,2x10-05	1.3x10+06

Для прототипа *n*-типа с оптимизированной транзисторной структурой с двумя разными стеками (диоксид гафния HfO₂ ($k = 25$) и оксид алюминия Al₂O₃ ($k = 9.3$) – верхняя пленка стека) в **Таблице 3** приведены извлеченные из результатов моделирования значения I_{ds_ma} , I_{off} , SS и I_{on}/I_{off} .

Согласно этим и полученным выше данным, по мере увеличения стековой диэлектрической проницаемости ток стока увеличивается, а подпороговый наклон уменьшается. Поэтому кремниевый полевой транзистор с полностью охватывающим затвором со стеклом SiO₂-HfO₂ представляется наиболее интересным для цифровых приложений [3,15,16]. Это свойство обусловлено самой высокой электростатической управляемостью рабочей области затвором, который полностью управляет всеми носителями, находящимися в рабочей области, и обеспечивает их акцентированный перенос от истока к стоку.

Однако, физическая и химическая природа происхождения механизмов деградации в диэлектрическом стеке остаётся неясной. Среди всех дефектов кристаллической решётки, наибольшую роль, скорее всего, играют междоузельные атомы кислорода и положительно заряженные кислородные вакансии, которые потенциально могут оказывать разное (в пределе – разнополярное) влияние на процесс переноса носителей в рабочей области [26-28].

5. ЗАКЛЮЧЕНИЕ

Разработана и исследована конструкция кремниевого цилиндрического КМОП нанотранзистора с полностью охватывающим затвором и продольным параболическим профилем рабочей области. Для компенсации коротко-канального эффекта со стороны истока для большого диаметра рабочей области не выполняется условие подавления ККЭ, а со стороны стока для маленького диаметра оно выполняется. Разработаны TCAD модели транзисторных прототипов *n*- и *p*-типов с длиной рабочей области 22 нм, с фиксированным большим радиусом 5 нм и изменяемым малым радиусом от 3 нм. В диапазоне управляющих напряжений

0...0.6 В численно исследовано поведение тока стока, подпорогового наклона и тока утечки в зависимости от значения отношения радиусов. Из полученных результатов следует, что параболическая геометрия с отношением радиусов 0.76 обеспечивает самый высокий ток стока 12.3 мА, демонстрирует максимальное соотношение $I_{on}/I_{off} \sim 10^5$ и значение крутизны подпороговой характеристики 66.8 дБ/дес.

На основе прототипов *n*- и *p*-типов синтезирован базовый логический элемент – инвертор. Численно исследованы его статические и динамические характеристики. При управляющих напряжениях 0.6 В и частоте 25 ГГц модель инвертора предсказывает максимальную задержку переключения 1.0 пс, предельный уровень активной мощности 0.22 мкВт и статической мощности 72 пВт.

Численно проанализированы электрофизические характеристики прототипа *n*-типа с диэлектрическими стеками SiO₂-Al₂O₃ и SiO₂-HfO₂. Результаты численного моделирования показывают, что использование стеков с высоким *k* оказывает заметное влияние на ключевые характеристики транзистора по сравнению с оксидом кремния. Это можно связать с тем, что влияние затвора на характеристики транзисторной структуры, особенно в подпороговой области, уменьшается, что может быть частично компенсировано использованием диэлектриков с высоким *k*.

Полученные результаты позволяют отнести транзисторную структуру с параболической геометрией рабочей области к высоко конкурентным в транзисторном семействе gate-all-around.

ЛИТЕРАТУРА

1. Theis TN, Wong H-SP. The end of Moore’s law: a new beginning for information technology. *Comput. Sci. Eng.*, 2017, 19:41-50.
2. Sahay S, Kumar MJ. Comprehensive analysis of gate-induced drain leakage in emerging FET architectures: Nanotube FETs versus nanowire FETs. *IEEE Access*, 2017, 5:18918-18926.
3. Brajesh Kumar Kaushik (ed.). *Nanoelectronics: Devices, Circuits and Systems*. Elsevier, 2018, 405 p.
4. Chiang T-K. A new quasi-3-D compact threshold voltage model for Pi-gate MOSFETs

with the interface trapped charges. *IEEE Trans. Nanotechnology*, 2015, 14(3):555-560.

5. Gao H-W, Wang Y-H, Chiang T-K. A quasi-3-D scaling length model for trapezoidal FinFET and its application to subthreshold behavior analysis. *IEEE Trans. Nanotechnology*, 2017, 16(2):281-289.
6. Masal’skii NV. Modeling the CMOS characteristics of a completely depleted surrounding-gate nanotransistor and an unevenly doped working region. *Russian Microelectronics*, 2019, 48(6):394-401.
7. Karthigai Pandian M, Balamurugan NB. Analytical threshold voltage modeling of surrounding gate silicon nanowire transistors with different geometries. *J Electric Eng Technol.*, 2014, 9(6):742-751.
8. Shan C, Wang Y, Bao MT. A charge-plasma-based transistor with induced graded channel for enhanced analog performance. *IEEE Trans. Electron Devices*, 2016, 63(6):2275-2281.
9. Memisevic E, Svensson J, Lind E, Wernersson L. Vertical nanowire TFETs with channel diameter down to 10 nm and point SMIN of 35 mV/decade. *IEEE Electron Device Letters*, 2018, 39(5):1089-1091.
10. Lundstrom M, Guo J. *Nanoscale transistors: Device Physics, Modeling and Simulation*. New York, Springer, 2006, 219 p.
11. Colinge JP. *FinFETs and other multi-gate transistor*. New York, Springer-Verlag, 2008, 340 p.
12. Auth CP, Plummer JD. Scaling theory for cylindrical, fully-depleted, surrounding-gate MOSFETs. *IEEE Trans. Electron Devices*, 1997, 18(2):74-76.
13. Yoon JS, Jeong EY, Baek CK, Kim YR, Hong JH, Lee JS, Baek RH, Jeong YH. Junction design strategy for Si bulk FinFETs for system-on-chip applications down to the 7-nm node. *IEEE Trans. Electron Dev. Letters*, 2015, 36(10):994-996.
14. Majzoub S, Taouil M, Hamdioui S. System-level sub-20 nm planar and FinFET CMOS delay modeling for supply and threshold voltage scaling under process variation. *J. of Low Power Electron.*, 2019, 15(1):1-10.
15. International Technology Roadmap for Semiconductors (ITRS) Interconnect, 2020 Edition. [Online] Available: <https://irds.ieee.org/editions/2020>.

16. Tomar G, Barwari A. *Fundamental of electronic devices and circuits*. NY, Springer, 2019, 246 p.
17. *TCAD Sentaurus*; Synopsys Inc.: Mountain View, CA, USA, 2017.
18. Young KK. Analysis of conduction in fully depleted SOI MOSFETs. *IEEE Trans. Electron Devices*, 1989, 36(3):504-506.
19. Ferain I, Colinge CA, Colinge J. Multigate transistors as the future of classical metal-oxide-semiconductor field-effect transistors. *Nature*, 2011, 479:310-316.
20. Sahay S, Kumar MJ. Insight into lateral band-to-band-tunneling in nanowire junctionless FETs. *IEEE Trans. Electron Devices*, 2016, 63(10):4138-4142.
21. Sze SM. *Physics of Semiconductor Device*. Hoboken, New Jersey, John Wiley & Sons Inc., 1981, 868 p.
22. Masalsky NV. Simulation of the characteristics of low-voltage gates on combined cylindrical surrounding gate field-effect nanotransistors. *RENSIT: Radioelectronics. Nanosystems. Information technologies*, 2021, 13(4):449-456. DOI: 10.17725/rensit.2021.13.449.
23. Karbalaee M, Dideban D. A novel silicon on insulator MOSFET with an embedded heat pass path and source side channel doping. *Superlattices and Microstructures*, 2016, 90:53-67.
24. Anvarifard MK, Orouji AA. Proper electrostatic modulation of electric field in a reliable nano-SOI with a developed channel. *IEEE Trans. Electron Devices*, 2018, 65:1653-1657.
25. Perevalov TV, Gritsenko VA. Application and electronic structure of high-permittivity dielectrics. *Phys Usp.*, 2010, 53:561-575.
26. Foster AS, Lopez Gebo F, Shluger AL, Nieminen RM. Vacancy and interstitial defects in hafnia. *Phys. Rev. B*, 2002, 65:174117-1-174117-13.
27. Kang AY, Lenahan PM, Conley JF. Electron spin resonance observation of trapped electron centers in atomic-layer-deposited hafnium oxide on Si. *Appl. Phys. Lett.*, 2003, 83(16):3407-3409.
28. Khan F, Cartier E, Kothandaraman Ch, Scott JC, Woo JCS, Iyer SS. The impact of self-heating on charge trapping in high-k-metal-gate nFET. *IEEE Trans. Electron Device Letters*, 2016, 37(0):88-91.

Масальский Николай Валерьевич

к.ф.-м.н.

НИИ системных исследований РАН

36/1, Нахимовский просп., Москва 117218, Россия

E-mail: volkov@niisi.ras.ru.